

**4 Mb (256K 字 × 16 位) 静态 RAM**

**特性**

- 高速：45 ns/55 ns
- 超低待机功耗
  - 典型待机电流：3.5 μA
  - 最大待机电流：8.7 μA
- 宽广的电压范围：1.65 V ~ 2.2 V, 2.2 V ~ 3.6 V, 4.5 V ~ 5.5 V
- 数据保持电压：1.0 V
- 支持与 TTL 兼容的输入和输出
- 支持无铅 48 球 VFBGA 和 44-TSOP II 封装

**功能描述**

CY62147GN 和 CY621472GN 是结构为 256K 字 × 16 位的高性能 CMOS 低功耗 (MoBL) SRAM 器件。这两种器件都支持单芯片和双芯片使能选项以及多种引脚配置。

通过将芯片使能输入 ( $\overline{CE}$ ) 设置为低电平，可以访问单芯片使能器件。通过设置两个芯片使能输入 (将  $\overline{CE}_1$  设置为低电平，并将  $\overline{CE}_2$  设置为高电平)，可以访问双芯片使能器件。

通过将写入使能 ( $\overline{WE}$ ) 设置为低电平，并分别为 I/O<sub>0</sub> 到 I/O<sub>15</sub> 引脚和 A<sub>0</sub> 到 A<sub>17</sub> 引脚提供数据和地址，可以执行数据写入操作。字节高电平使能 ( $\overline{BHE}$ ) 和字节低电平使能 ( $\overline{BLE}$ ) 输入控制着写入到指定存储器位置内的高字节和低字节。BHE 控制着 I/O<sub>8</sub> 到 I/O<sub>15</sub>；BLE 控制着 I/O<sub>0</sub> 到 I/O<sub>7</sub>。

通过设置输出使能 ( $\overline{OE}$ ) 输入，并提供地址行所需的地址，可以读取数据。可在 I/O 线 (I/O<sub>0</sub> 到 I/O<sub>15</sub>) 上读取数据。通过设置所需字节使能信号 (BHE 或 BLE)，可执行字节访问，从而能够读取指定地址上高字节或低字节数据。

取消选择器件 (单芯片使能器件中  $\overline{CE}$  为高电平；双芯片使能器件中  $\overline{CE}_1$  为高电平/ $\overline{CE}_2$  为低电平) 或者取消确认控制信号 ( $\overline{OE}$ 、 $\overline{BLE}$ 、 $\overline{BHE}$ ) 时，所有 I/O (I/O<sub>0</sub> 到 I/O<sub>15</sub>) 将进入高阻态。

该器件还具有独特的“字节断电”性能。如果两个字节使能 ( $\overline{BHE}$  和  $\overline{BLE}$ ) 都被禁用，那么不管芯片使能的状态如何，器件都会无缝切换到待机模式，从而节省功耗。

逻辑框图位于第二页。

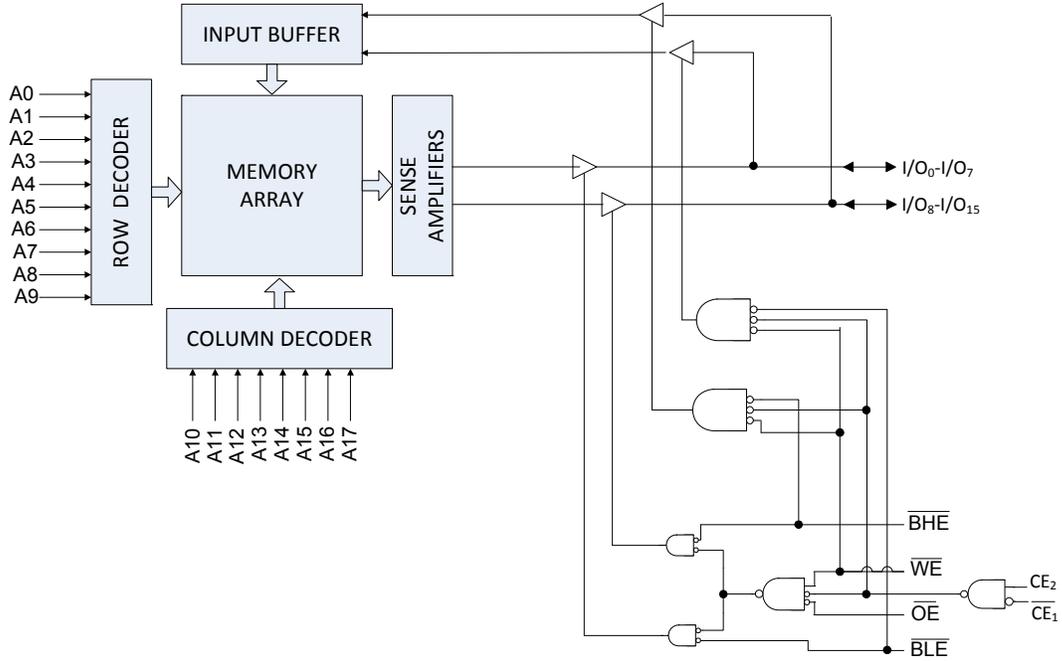
**产品系列概述**

产品	功能和选项 (请参考“引脚配置”部分)	范围	V <sub>CC</sub> 范围 (V)	速度 (ns)	功耗			
					工作电流 I <sub>CC</sub> (mA)		待机电流 I <sub>SB2</sub> (μA)	
					f = f <sub>max</sub>			
					典型值 [1]	最大值	典型值 [1]	最大值
CY62147GN18	单芯片或双芯片使能	工业级	1.65 V 至 2.2 V	55	15	20	3.5	10
CY62147GN30 CY621472GN30			2.2 V 至 3.6 V	45	15	20	3.5	8.7
CY62147GN			4.5 V 至 5.5 V					

**注释：**

1. 典型值仅供参考，并未得以保证，也未经过测试。典型值的测量条件为：V<sub>CC</sub> = 1.8 V (对于 V<sub>CC</sub> 范围为 1.65 V ~ 2.2 V)，V<sub>CC</sub> = 3 V (对于 V<sub>CC</sub> 范围为 2.2 V ~ 3.6 V)，V<sub>CC</sub> = 5 V (对于 V<sub>CC</sub> 范围为 4.5 V ~ 5.5 V)，T<sub>A</sub> = 25 °C。

逻辑框图 — CY62147GN



## 目录

引脚配置 — CY62147GN .....	4	订购信息 .....	16
引脚配置 — CY621472GN .....	5	订购代码定义 .....	16
最大额定值 .....	6	封装图 .....	17
工作范围 .....	6	缩略语 .....	18
直流电气特性 .....	6	文档规范 .....	18
电容 .....	8	测量单位 .....	18
热阻 .....	8	文档修订记录 .....	19
交流测试负载和波形 .....	8	销售、解决方案和法律信息 .....	20
数据保持特性 .....	9	全球销售和设计支持 .....	20
数据保持波形 .....	9	产品 .....	20
交流开关特性 .....	10	PSoC <sup>®</sup> 解决方案 .....	20
开关波形 .....	11	赛普拉斯开发者社区 .....	20
真值表 — CY62147GN/CY621472GN .....	15	技术支持 .....	20

引脚配置 — CY62147GN

图 1. 48 球 VFBGA 引脚分布 (双芯片使能), CY62147GN [2]    图 2. 48 球 VFBGA 引脚分布 (单芯片使能), CY62147GN [2]

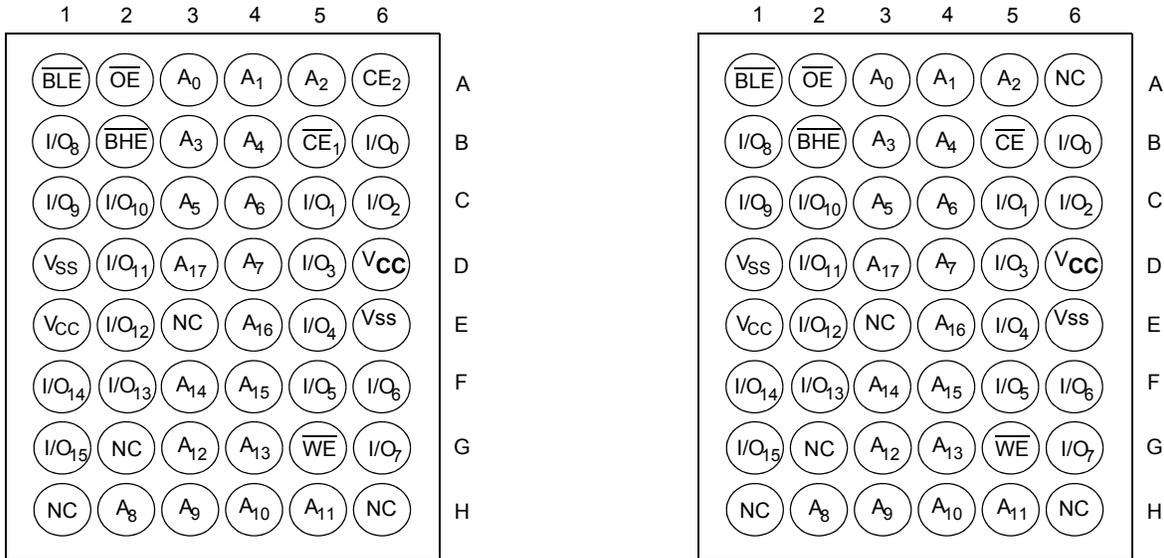
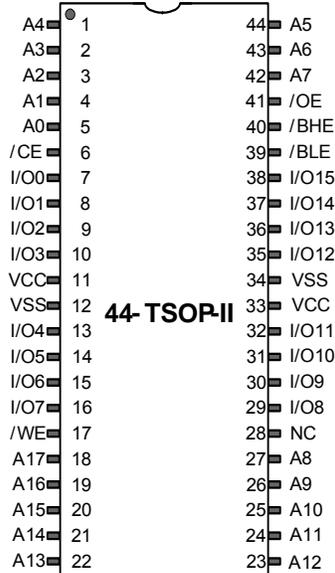


图 3. 44-TSOP II 引脚分布 (单芯片使能), CY62147GN [2]

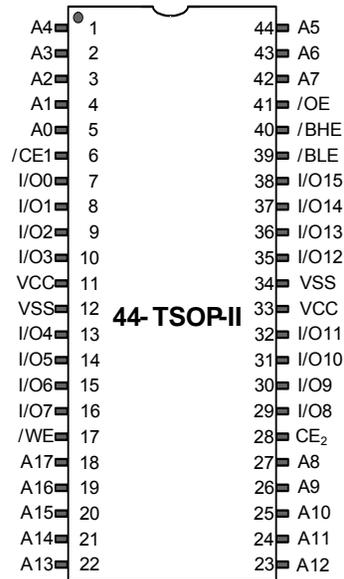


注释:

2. NC 引脚没有与裸片 (die) 内部连接, 而通常用于扩展地址, 以得到更高容量器件。有关引脚配置的信息, 请参考相关的数据手册。

引脚配置 — CY621472GN

图 4. 44-TSOP II 引脚分布 (双芯片使能), CY621472GN



## 最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指导未经过测试。

存放温度 .....	-65 °C ~ +150 °C
通电状态下的环境温度 .....	-55 °C ~ + 125 °C
对地电压范围 <sup>[3]</sup> .....	-0.5 V ~ V <sub>CC</sub> + 0.5 V
高阻态输出的直流电压 <sup>[3]</sup> .....	-0.5 V ~ V <sub>CC</sub> + 0.5 V
直流输入电压 <sup>[3]</sup> .....	-0.5 V ~ V <sub>CC</sub> + 0.5 V

输出电流（输出处于低电平状态） .....	20 mA
静电放电电压 （MIL-STD-883，方法 3015） .....	>2001 V
栓锁电流 .....	>140 mA

## 工作范围

范围	环境温度	V <sub>CC</sub>
工业级	-40°C 到 +85°C	1.65 V 至 2.2 V、 2.2 V 至 3.6 V、 4.5 V 至 5.5 V

## 直流电气特性

工作温度范围为 -40 °C 至 85 °C

参数	说明	测试条件	45/55 ns			单位	
			最小值	典型值	最大值		
V <sub>OH</sub>	输出高电平电压	1.65 V 至 2.2 V	V <sub>CC</sub> = 最小值, I <sub>OH</sub> = -0.1 mA	1.4	-	-	V
		2.2 V 至 2.7 V	V <sub>CC</sub> = 最小值; I <sub>OH</sub> = -0.1 mA	2	-	-	
		2.7 V 至 3.6 V	V <sub>CC</sub> = 最小值, I <sub>OH</sub> = -1.0 mA	2.2	-	-	
		4.5 V 至 5.5 V	V <sub>CC</sub> = 最小值, I <sub>OH</sub> = -1.0 mA	2.4	-	-	
		4.5 V 至 5.5 V	V <sub>CC</sub> = 最小值, I <sub>OH</sub> = -0.1 mA	V <sub>CC</sub> - 0.5 <sup>[4]</sup>	-	-	
V <sub>OL</sub>	输出低电平电压	1.65 V 至 2.2 V	V <sub>CC</sub> = 最小值, I <sub>OL</sub> = 0.1 mA	-	-	0.2	V
		2.2 V 至 2.7 V	V <sub>CC</sub> = 最小值, I <sub>OL</sub> = 0.1 mA	-	-	0.4	
		2.7 V 至 3.6 V	V <sub>CC</sub> = 最小值, I <sub>OL</sub> = 2.1 mA	-	-	0.4	
		4.5 V 至 5.5 V	V <sub>CC</sub> = 最小值, I <sub>OL</sub> = 2.1 mA	-	-	0.4	
V <sub>IH</sub>	输入高电平电压	1.65 V 至 2.2 V	-	1.4	-	V <sub>CC</sub> + 0.2 <sup>[3]</sup>	V
		2.2 V 至 2.7 V	-	2	-	V <sub>CC</sub> + 0.3 <sup>[3]</sup>	
		2.7 V 至 3.6 V	-	2	-	V <sub>CC</sub> + 0.3 <sup>[3]</sup>	
		4.5 V 至 5.5 V	-	2.2	-	V <sub>CC</sub> + 0.5 <sup>[3]</sup>	
V <sub>IL</sub>	输入低电平电压	1.65 V 至 2.2 V	-	-0.2 <sup>[3]</sup>	-	0.4	V
		2.2 V 至 2.7 V	-	-0.3 <sup>[3]</sup>	-	0.6	
		2.7 V 至 3.6 V	-	-0.3 <sup>[3]</sup>	-	0.8	
		4.5 V 至 5.5 V	-	-0.5 <sup>[3]</sup>	-	0.8	
I <sub>IX</sub>	输入漏电流	GND ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>		-1	-	+1	μA
I <sub>OZ</sub>	输出漏电流	GND ≤ V <sub>OUT</sub> ≤ V <sub>CC</sub> , 输出处于禁用状态		-1	-	+1	μA
I <sub>CC</sub>	V <sub>CC</sub> 工作供电电流	V <sub>CC</sub> = 最大值、 I <sub>OUT</sub> = 0 mA、 CMOS 电平	f = 22.22 MHz (45 ns)	-	15	20	mA
			f = 18.18 MHz (55 ns)	-	15	20	mA
			f = 1 MHz	-	3.5	6	mA

### 注释:

- 脉冲宽度小于 2 ns 时, V<sub>IL(min)</sub> = -2.0 V 以及 V<sub>IH(max)</sub> = V<sub>CC</sub> + 2 V。
- 该参数由设计保证, 但未经过测试。

**直流电气特性 (续)**

 工作温度范围为  $-40^{\circ}\text{C}$  至  $85^{\circ}\text{C}$ 

参数	说明	测试条件	45/55 ns			单位	
			最小值	典型值	最大值		
$I_{SB1}^{[5]}$	自动断电 电流 — CMOS 输入; $V_{CC} = 2.2\text{ V}$ 至 $3.6\text{ V}$ 和 $4.5\text{ V}$ 至 $5.5\text{ V}$	$\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ 或 $CE_2 \leq 0.2\text{ V}$ 或 ( $\overline{BHE}$ 和 $\overline{BLE}$ ) $\geq V_{CC} - 0.2\text{ V}$ ,	—	3.5	8.7	$\mu\text{A}$	
	自动断电 电流 — CMOS 输入 $V_{CC} = 1.65\text{ V}$ 至 $2.2\text{ V}$	$V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$ , $f = f_{\text{max}}$ (仅地址和数据), $f = 0$ ( $\overline{OE}$ 和 $\overline{WE}$ ), $V_{CC} = \text{最大值}$	—	—	10		
$I_{SB2}^{[5]}$	自动断电 电流 — CMOS 输入 $V_{CC} = 2.2\text{ V}$ 至 $3.6\text{ V}$ 和 $4.5\text{ V}$ 至 $5.5\text{ V}$	$\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ 或 $CE_2 \leq 0.2\text{ V}$ 或 ( $\overline{BHE}$ 和 $\overline{BLE}$ ) $\geq V_{CC} - 0.2\text{ V}$ , $V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$ , $f = 0$ , $V_{CC} = \text{最大值}$	$25^{\circ}\text{C}^{[6]}$	—	3.5	3.7	$\mu\text{A}$
			$40^{\circ}\text{C}^{[6]}$	—	—	4.8	
			$70^{\circ}\text{C}^{[6]}$	—	—	7	
			$85^{\circ}\text{C}$	—	—	8.7	
	自动断电 电流 — CMOS 输入 $V_{CC} = 1.65\text{ V}$ 至 $2.2\text{ V}$	$\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ 或 $CE_2 \leq 0.2\text{ V}$ 或 ( $\overline{BHE}$ 和 $\overline{BLE}$ ) $\geq V_{CC} - 0.2\text{ V}$ , $V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$ , $f = 0$ , $V_{CC} = \text{最大值}$	$25^{\circ}\text{C}^{[6]}$	—	3.5	4.3	
			$40^{\circ}\text{C}^{[6]}$	—	—	5	
			$70^{\circ}\text{C}^{[6]}$	—	—	7.5	
			$85^{\circ}\text{C}$	—	—	10	

**注释:**

- 芯片使能 ( $\overline{CE}_1$  和  $CE_2$ ) 必须连接至 CMOS 电平, 以满足  $I_{SB1}/I_{SB2}/I_{CCDR}$  规范。其他输入可处于悬空状态。
- $I_{SB2}$  在  $25^{\circ}\text{C}$ 、 $40^{\circ}\text{C}$ 、 $70^{\circ}\text{C}$  下的限制以及  $85^{\circ}\text{C}$  下的典型限制仅通过设计保证, 并未 100% 经过测试。

### 电容

参数 <sup>[7]</sup>	说明	测试条件	最大值	单位
$C_{IN}$	输入电容	$T_A = 25^\circ\text{C}$ , $f = 1\text{ MHz}$ , $V_{CC} = V_{CC(\text{typ})}$	10	pF
$C_{OUT}$	输出电容		10	pF

### 热阻

参数 <sup>[7]</sup>	说明	测试条件	48 球 VFBGA	44-TSOP II	单位
$\Theta_{JA}$	热阻 (结至环境)	在无气流环境中, 被焊接到尺寸为 $3 \times 4.5$ 英寸的四层印刷电路板上	31.35	68.85	$^\circ\text{C/W}$
$\Theta_{JC}$	热阻 (结至外壳)		14.74	15.97	$^\circ\text{C/W}$

### 交流测试负载和波形

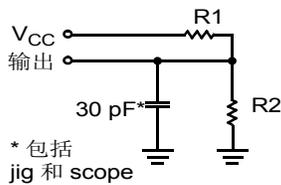
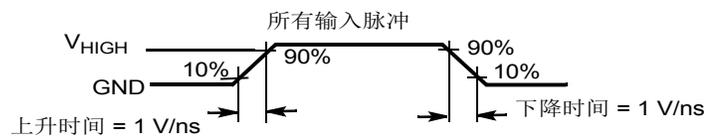
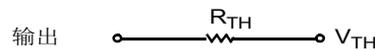


图 5. 交流测试负载和波形<sup>[8]</sup>



根据 THÉVENIN 定理, 该电路相当于:



参数	1.8 V	2.5 V	3.0 V	5.0 V	单位
R1	13500	16667	1103	1800	$\Omega$
R2	10800	15385	1554	990	$\Omega$
$R_{TH}$	6000	8000	645	639	$\Omega$
$V_{TH}$	0.80	1.20	1.75	1.77	V

**注释:**

7. 进行任何可能影响这些参数的设计或流程更改之前以及之后, 都需要进行测试。
8. 为了确保器件正常工作, 线性  $V_{CC}$  必须在  $\geq 100\ \mu\text{s}$  的时间内从  $V_{DR}$  上升到  $V_{CC(\text{min})}$  或者在  $\geq 100\ \mu\text{s}$  的时间内保持  $V_{CC(\text{min})}$  的稳定状态。

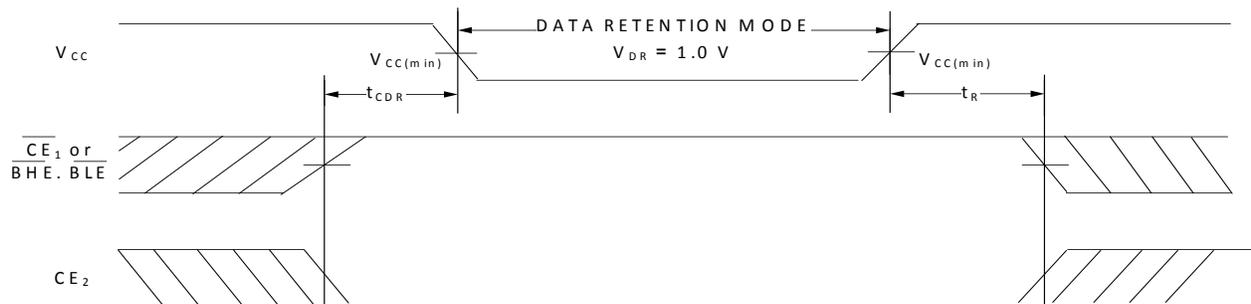
## 数据保持特性

工作范围

参数	说明	条件	最小值	典型值 <sup>[9]</sup>	最大值	单位
$V_{DR}$	用于数据保留的 $V_{CC}$		1	–	–	V
$I_{CCDR}$ <sup>[10、11]</sup>	数据保持电流	$V_{CC} = 1.2\text{ V}$ , $\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ 或 $CE_2 \leq 0.2\text{ V}$ 或 $(\overline{BHE}$ 和 $\overline{BLE}) \geq V_{CC} - 0.2\text{ V}$ , $V_{IN} \geq V_{CC} - 0.2\text{ V}$ 或 $V_{IN} \leq 0.2\text{ V}$	–		13	$\mu\text{A}$
$t_{CDR}$ <sup>[12]</sup>	从芯片取消选择到数据保持的时间		0	–	–	ns
$t_R$ <sup>[13]</sup>	操作恢复的时间		45/55	–	–	ns

## 数据保持波形

图 6. 数据保持波形<sup>[14]</sup>



### 注释:

- 典型值仅供参考，并未得以保证，也未经过测试。典型值的测量条件为： $V_{CC} = 1.8\text{ V}$ （对于  $V_{CC}$  范围为 1.65 V 至 2.2 V）， $V_{CC} = 3\text{ V}$ （对于  $V_{CC}$  范围为 2.2 V 至 3.6 V）， $V_{CC} = 5\text{ V}$ （对于  $V_{CC}$  范围为 4.5 V 至 5.5 V）， $T_A = 25\text{ }^\circ\text{C}$ 。
- 芯片使能 ( $\overline{CE}_1$  和  $CE_2$ ) 必须连接至 CMOS 电平，以满足  $I_{SB1}/I_{SB2}/I_{CCDR}$  规范。其他输入可处于悬空状态。
- 器件首先按  $V_{CC(\text{min})}$  电压进行加电，然后再降到  $V_{DR}$ ，这样  $I_{CCDR}$  才能得到保证。
- 这些参数由设计保证。
- 为了确保器件正常工作，线性  $V_{CC}$  必须在  $\geq 100\text{ }\mu\text{s}$  的时间内从  $V_{DR}$  上升到  $V_{CC(\text{min})}$  或者在  $\geq 100\text{ }\mu\text{s}$  的时间内稳定保持  $V_{CC(\text{min})}$  状态。
- $\overline{BHE}.\overline{BLE}$  是通过对  $\overline{BHE}$  和  $\overline{BLE}$  进行“与”逻辑运算得到的。通过禁用芯片使能信号，或通过同时禁用  $\overline{BHE}$  和  $\overline{BLE}$ ，均能取消选择芯片。

**交流开关特性**

参数 <sup>[15、16]</sup>	说明	45 ns		55 ns		单位
		最小值	最大值	最小值	最大值	
<b>读周期</b>						
$t_{RC}$	读周期时间	45	–	55	–	ns
$t_{AA}$	地址到数据有效的时间	–	45	–	55	ns
$t_{OHA}$	地址更改后的数据保持时间	10	–	10	–	ns
$t_{ACE}$	从 $\overline{CE}_1$ 为低电平和 $CE_2$ 为高电平到数据有效的时间	–	45	–	55	ns
$t_{DOE}$	$\overline{OE}$ 为低电平到数据有效的时间	–	22	–	25	ns
$t_{LZOE}$	$\overline{OE}$ 为低电平到低阻态的时间 <sup>[17]</sup>	5	–	5	–	ns
$t_{HZOE}$	$\overline{OE}$ 为高电平到高阻态的时间 <sup>[17、18]</sup>	–	18	–	18	ns
$t_{LZCE}$	$\overline{CE}_1$ 为低电平和 $CE_2$ 为高电平到低组态的时间 <sup>[17]</sup>	10	–	10	–	ns
$t_{HZCE}$	$\overline{CE}_1$ 为高电平和 $CE_2$ 为低电平到高组态的时间 <sup>[17、18]</sup>	–	18	–	18	ns
$t_{PU}$	从 $\overline{CE}_1$ 为低电平及 $CE_2$ 为高电平到上电的时间	0	–	0	–	ns
$t_{PD}$	从 $\overline{CE}_1$ 为高电平及 $CE_2$ 为低电平到下电的时间	–	45	–	55	ns
$t_{DBE}$	从 $\overline{BLE}/\overline{BHE}$ 为低电平到数据有效的时间	–	45	–	55	ns
$t_{LZBE}$	$\overline{BLE}/\overline{BHE}$ 为低电平到低阻态的时间 <sup>[17]</sup>	5	–	5	–	ns
$t_{HZBE}$	$\overline{BLE}/\overline{BHE}$ 为高电平到高阻态的时间 <sup>[17、18]</sup>	–	18	–	18	ns
<b>写周期<sup>[19、20]</sup></b>						
$t_{WC}$	写周期的时间	45	–	55	–	ns
$t_{SCE}$	从 $\overline{CE}_1$ 为低电平和 $CE_2$ 为高电平到写周期结束的时间	35	–	45	–	ns
$t_{AW}$	从地址建立到写周期结束的时间	35	–	45	–	ns
$t_{HA}$	写周期结束后地址保持的时间	0	–	0	–	ns
$t_{SA}$	地址建立到写周期开始的时间	0	–	0	–	ns
$t_{PWE}$	$\overline{WE}$ 脉冲宽度	35	–	40	–	ns
$t_{BW}$	从 $\overline{BLE}/\overline{BHE}$ 为低电平到写周期结束的时间	35	–	45	–	ns
$t_{SD}$	从数据建立到写周期结束的时间	25	–	25	–	ns
$t_{HD}$	写周期结束后数据保持的时间	0	–	0	–	ns
$t_{HZWE}$	从 $\overline{WE}$ 为低电平到高阻态的时间 <sup>[17、18]</sup>	–	18	–	20	ns
$t_{LZWE}$	从 $\overline{WE}$ 为高电平到低阻态的时间 <sup>[17]</sup>	–	–	10	–	ns

**注释:**

- 假设测试条件如下: 信号转换时间 (上升/下降) 不大于 3 ns, 时序参考电平为 1.5 V (对于  $V_{CC} \geq 3 V$ ) 以及  $V_{CC}/2$  (对于  $V_{CC} < 3 V$ ), 输入脉冲电平范围为 0 V 至 3 V (对于  $V_{CC} \geq 3 V$ ) 以及 0 至  $V_{CC}$  (对于  $V_{CC} < 3 V$ )。除非另有说明, 否则读周期的测试条件使用“交流测试负载和波形”一节中所显示的输出负载。
- 这些参数由设计保证。
- 在所有温度和电压范围中, 对于所有器件,  $t_{HZCE}$  低于  $t_{LZCE}$ 、 $t_{HZBE}$  低于  $t_{LZBE}$ 、 $t_{HZOE}$  低于  $t_{LZOE}$  以及  $t_{HZWE}$  低于  $t_{LZWE}$ 。
- $t_{HZOE}$ 、 $t_{HZCE}$ 、 $t_{HZBE}$  以及  $t_{HZWE}$  转换的测量条件为输出处于高阻态。
- 通过重叠  $\overline{WE} = V_{IL}$ ,  $\overline{CE}_1 = V_{IL}$ ,  $\overline{BHE}$  和 / 或  $\overline{BLE} = V_{IL}$  和  $CE_2 = V_{IH}$ , 可以确定存储器的内部写入时间。要想执行某个写操作, 必须将所有信号置于 ACTIVE (活动) 状态; 将任何信号置于 INACTIVE (非活动) 状态都会中止该写操作。中止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
- 第三个写周期 (由  $\overline{WE}$  控制,  $\overline{OE}$  为低电平) 的最小脉冲宽度应等于  $t_{SD}$  和  $t_{HZWE}$  的总和。

开关波形

图 7. CY62147GN 的第一个读周期（由地址转换控制） [21、22]

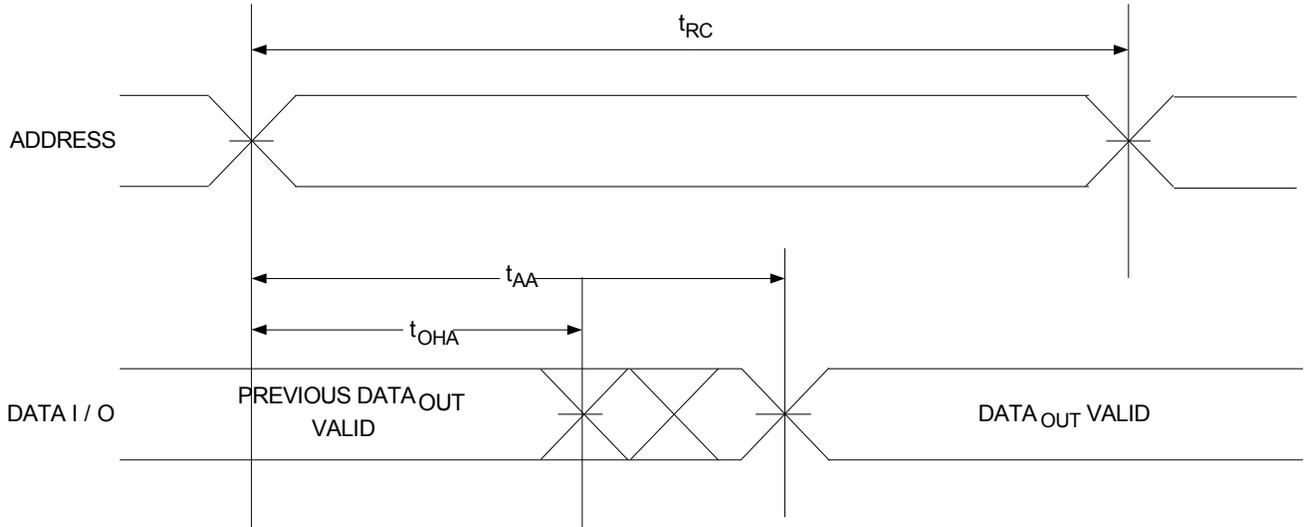
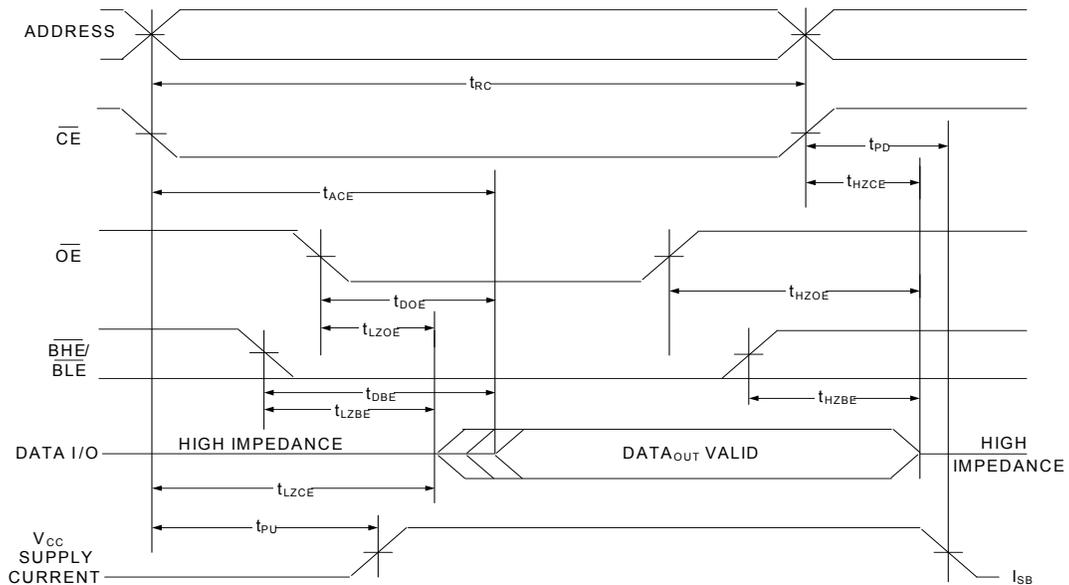


图 8. 第二个读周期（由  $\overline{OE}$  控制） [21、22、23、24]

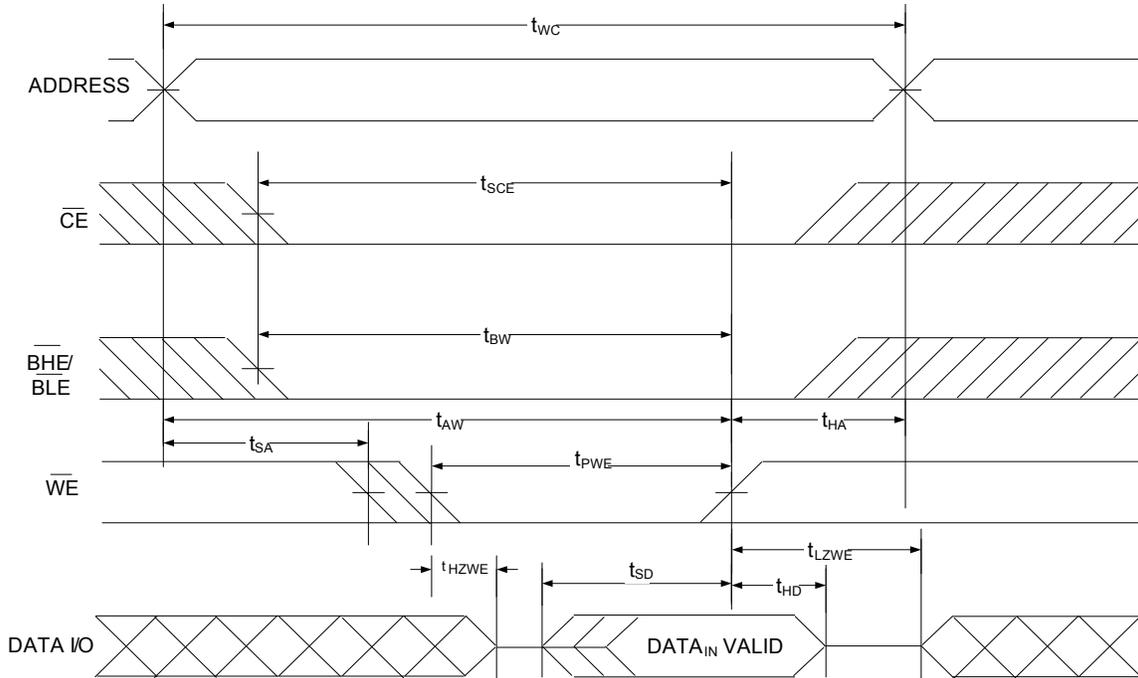


注释:

21. 器件被持续选择。  $\overline{OE} = V_{IL}$ ,  $\overline{CE} = V_{IL}$ ,  $\overline{BHE}$  和 / 或  $\overline{BLE} = V_{IL}$ 。
22. 在读周期中,  $\overline{WE}$  为高电平。
23. 如果  $\overline{CE} = V_{IH}$  或  $\overline{OE} = V_{IH}$  或  $\overline{BHE}$  和 / 或  $\overline{BLE} = V_{IH}$ , 数据 I/O 将处于高阻态。
24. 地址有效在  $\overline{CE}$  转为低电平前发生或同时发生。

开关波形 (续)

图 9. 第一个写周期 (由  $\overline{WE}$  控制) [25、26、27]



注释:

25. 对于所有双芯片使能器件,  $\overline{CE}$  是  $\overline{CE}_1$  和  $CE_2$  的逻辑组合。当  $\overline{CE}_1$  为低电平且  $CE_2$  为高电平时,  $\overline{CE}$  处于低电平状态; 当  $\overline{CE}_1$  为高电平或  $CE_2$  为低电平时,  $\overline{CE}$  处于高电平状态。
26. 通过重叠  $\overline{WE} = V_{IL}$ ,  $\overline{CE}_1 = V_{IL}$ ,  $\overline{BHE}$  和 / 或  $\overline{BLE} = V_{IL}$  和  $CE_2 = V_{IH}$ , 可以确定存储器的内部写入时间。要想执行某个写操作, 必须将所有信号置于 ACTIVE (活动) 状态; 将任何信号置于 INACTIVE (非活动) 状态都会终止该写操作。终止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
27. 如果  $\overline{CE} = V_{IH}$  或  $\overline{OE} = V_{IH}$  或  $\overline{BHE}$  和 / 或  $\overline{BLE} = V_{IH}$ , 数据 I/O 将处于高阻态。

开关波形 (续)

图 10. 第二个写周期 (由  $\overline{CE}$  控制) [28、29、30]

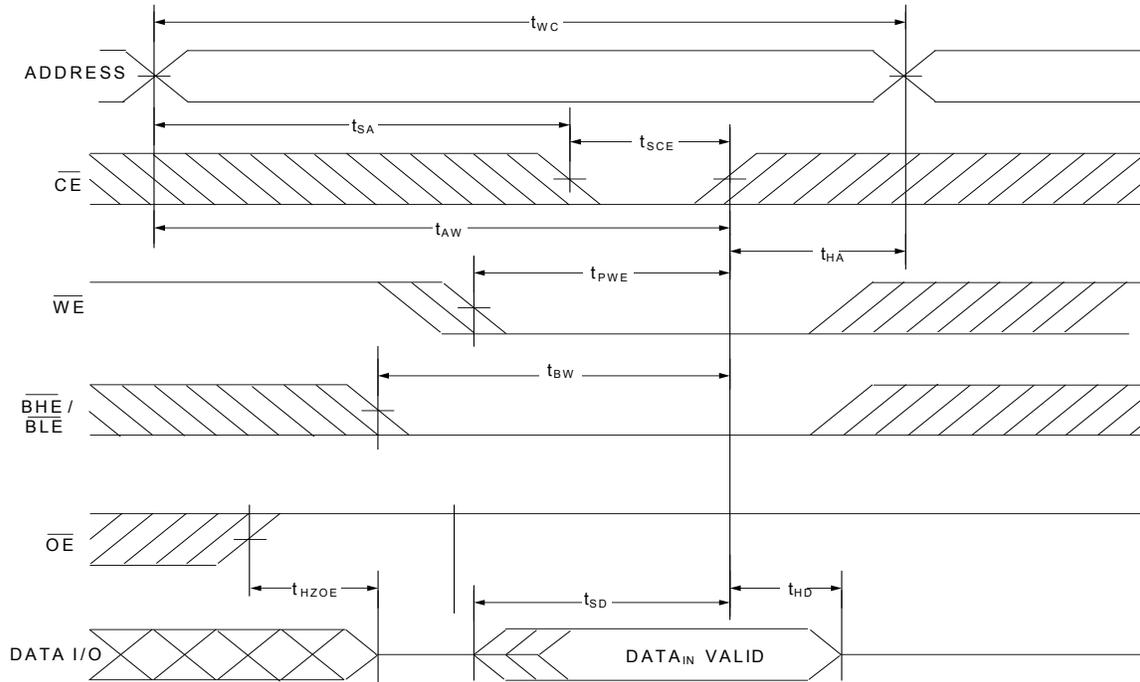
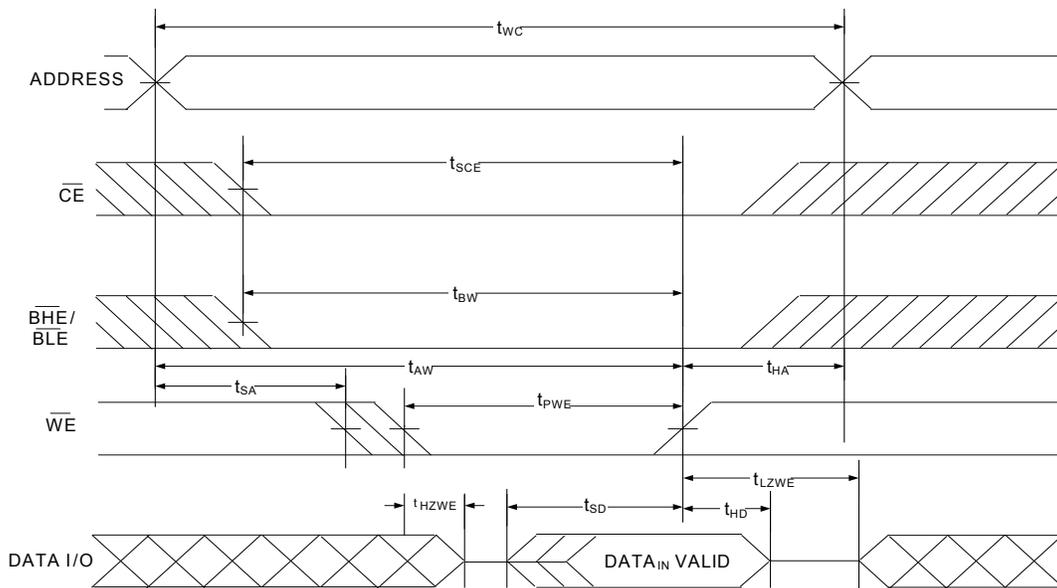


图 11. 第三个写周期 (由  $\overline{WE}$  控制,  $\overline{OE}$  为低电平) [28、29、30、31]

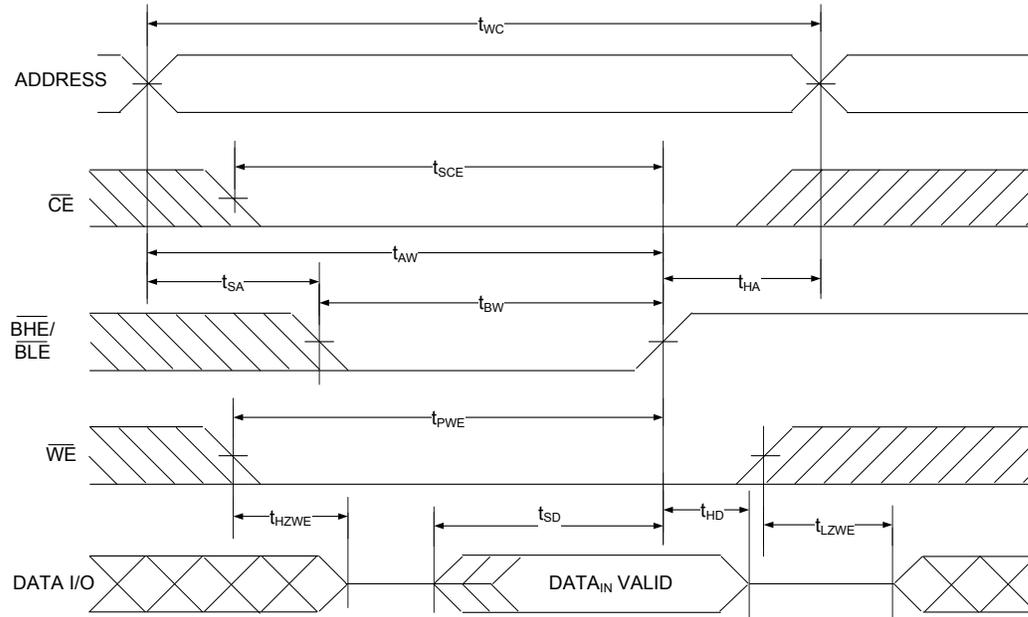


注释:

- 28. 对于所有双芯片使能器件,  $\overline{CE}$  是  $\overline{CE}_1$  和  $CE_2$  的逻辑组合。当  $\overline{CE}_1$  为低电平且  $CE_2$  为高电平时,  $\overline{CE}$  将处于低电平状态; 当  $\overline{CE}_1$  为高电平或  $CE_2$  为低电平时,  $\overline{CE}$  将处于高电平状态。
- 29. 通过重叠  $\overline{WE} = V_{IL}$ ,  $\overline{CE}_1 = V_{IL}$ ,  $\overline{BHE}$  和 / 或  $\overline{BLE} = V_{IL}$  和  $CE_2 = V_{IH}$ , 可以确定存储器的内部写入时间。要想执行某个写操作, 必须使所有信号处于 ACTIVE (活动) 状态; 将任何信号置于 INACTIVE (非活动) 状态都会中止该写操作。中止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
- 30. 如果  $\overline{CE} = V_{IH}$  或  $\overline{OE} = V_{IH}$  或  $\overline{BHE}$  和 / 或  $\overline{BLE} = V_{IH}$ , 数据 I/O 将处于高阻态。
- 31. 第三个写周期 (由  $\overline{WE}$  控制,  $\overline{OE}$  为低电平) 的最小写入脉冲宽度应为  $t_{HZWE}$  和  $t_{SD}$  的总和。

开关波形 (续)

图 12. 第四个写周期 (由  $\overline{\text{BHE}}/\overline{\text{BLE}}$  控制) [32、33、34]



注释:

32. 对于所有双芯片使能器件,  $\overline{\text{CE}}$  是  $\overline{\text{CE}}_1$  和  $\text{CE}_2$  的逻辑组合。当  $\overline{\text{CE}}_1$  为低电平且  $\text{CE}_2$  为高电平时,  $\overline{\text{CE}}$  处于低电平状态; 当  $\overline{\text{CE}}_1$  为高电平或  $\text{CE}_2$  为低电平时,  $\overline{\text{CE}}$  处于高电平状态。
33. 通过重叠  $\overline{\text{WE}} = V_{\text{IL}}$ ,  $\overline{\text{CE}}_1 = V_{\text{IL}}$ ,  $\overline{\text{BHE}}$  和 / 或  $\overline{\text{BLE}} = V_{\text{IL}}$  和  $\text{CE}_2 = V_{\text{IH}}$ , 可以确定存储器的内部写入时间。如要初始某个写操作, 必须使所有的信号进入 ACTIVE (活动) 状态; 将任何信号进入 INACTIVE (非活动) 状态, 都会中止该写操作。中止写入操作的信号边沿作为输入数据建立和保持时序的参考源。
34. 如果  $\overline{\text{CE}} = V_{\text{IH}}$  或  $\overline{\text{OE}} = V_{\text{IH}}$  或  $\overline{\text{BHE}}$  和 / 或  $\overline{\text{BLE}} = V_{\text{IH}}$ , 数据 I/O 将处于高阻态。

**真值表 — CY62147GN/CY621472GN**

$\overline{CE}_1/\overline{CE}_2^{[35]}$	$CE_2^{[35]}$	$\overline{WE}$	$\overline{OE}$	$\overline{BHE}$	$\overline{BLE}$	输入 / 输出	模式	功耗模式
H	X <sup>[36]</sup>	X	X	X	X	高阻态	取消选择 / 掉电	待机 ( $I_{SB}$ )
X	L	X	X	X	X	高阻态	取消选择 / 掉电	待机 ( $I_{SB}$ )
X	X	X	X	H	H	高阻态	取消选择 / 掉电	待机 ( $I_{SB}$ )
L	H	H	L	L	L	数据输出 ( $I/O_0-I/O_{15}$ )	读取	活动 ( $I_{CC}$ )
L	H	H	L	H	L	数据输出 ( $I/O_0-I/O_7$ ) ; 高阻态 ( $I/O_8-I/O_{15}$ )	读取	活动 ( $I_{CC}$ )
L	H	H	L	L	H	高阻态 ( $I/O_0-I/O_7$ ) ; 数据输出 ( $I/O_8-I/O_{15}$ )	读取	活动 ( $I_{CC}$ )
L	H	H	H	L	H	高阻态	输出被禁用	活动 ( $I_{CC}$ )
L	H	H	H	H	L	高阻态	输出被禁用	活动 ( $I_{CC}$ )
L	H	H	H	L	L	高阻态	输出被禁用	活动 ( $I_{CC}$ )
L	H	L	X	L	L	数据输入 ( $I/O_0-I/O_{15}$ )	写入	活动 ( $I_{CC}$ )
L	H	L	X	H	L	数据输入 ( $I/O_0-I/O_7$ ) ; 高阻态 ( $I/O_8-I/O_{15}$ )	写入	活动 ( $I_{CC}$ )
L	H	L	X	L	H	高阻态 ( $I/O_0-I/O_7$ ) ; 数据输入 ( $I/O_8-I/O_{15}$ )	写入	活动 ( $I_{CC}$ )

**注释:**

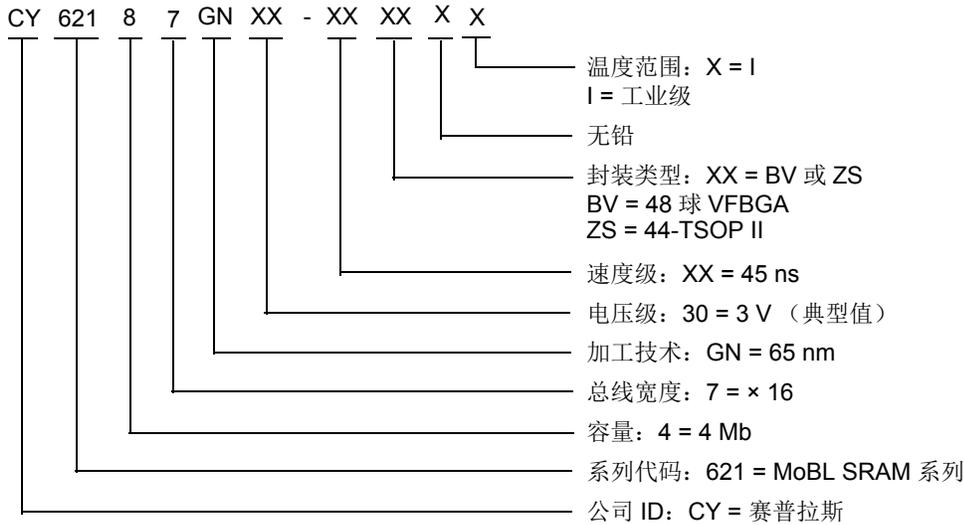
35. 对于所有双芯片使能器件,  $\overline{CE}$  是  $\overline{CE}_1$  和  $CE_2$  的逻辑组合。当  $\overline{CE}_1$  为低电平, 且  $CE_2$  为高电平时,  $\overline{CE}$  将处于低电平状态; 当  $\overline{CE}_1$  为高电平或  $CE_2$  为低电平时,  $\overline{CE}$  将处于高电平状态。

36. 芯片使能的 'X' (无需关注) 状态指的是信号的逻辑状态 (高电平或低电平)。这些引脚不支持中间电压电平。

订购信息

速度 (ns)	电压范围	订购代码	封装图	封装类型	工作范围
45	2.2 V 到 3.6 V	CY62147GN30-45BVXI	51-85150	48 球 VFBGA (6 × 8 × 1 mm), 单芯片使能	工业级
		CY62147GN30-45ZSXI	51-85087	44-TSOP II, 单芯片使能	

订购代码定义



封装图

图 13. 44-TSOP II (Z44) 封装外形 — 51-85087

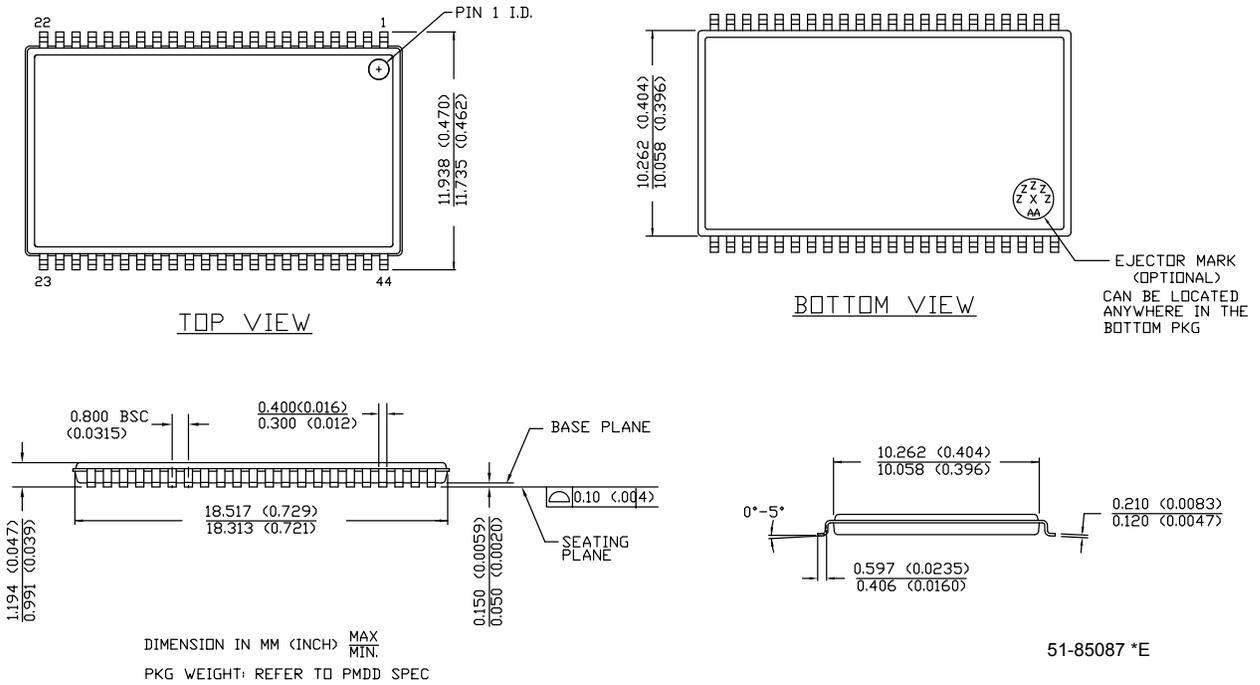
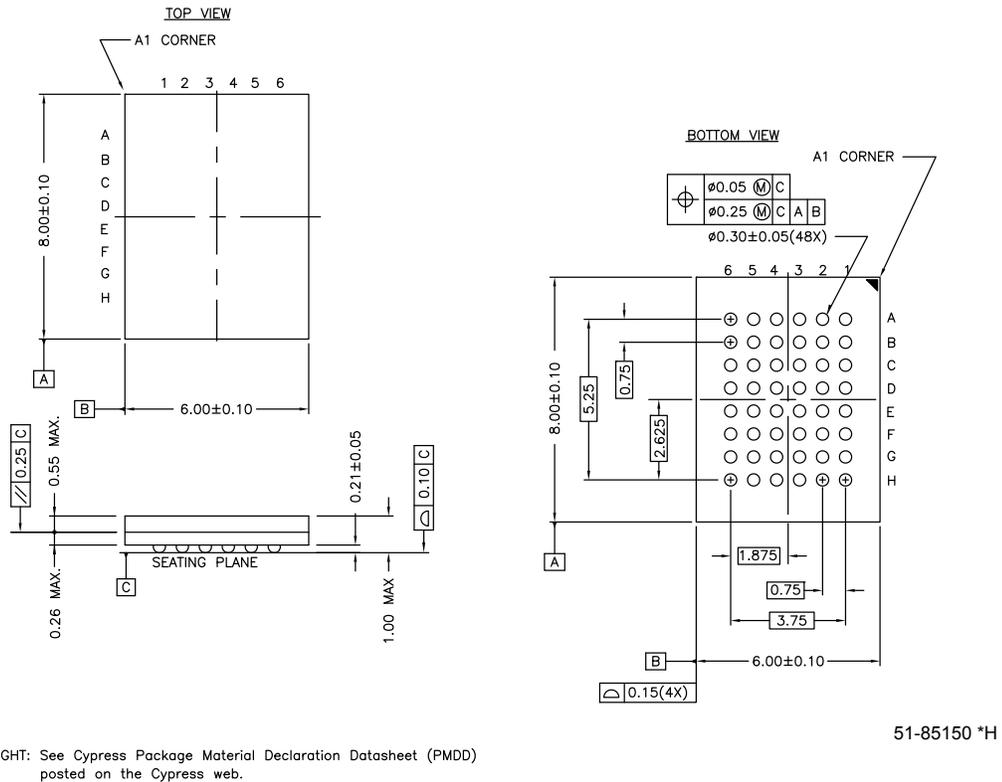


图 14. 48 球 VFBGA (6 × 8 × 1.0 mm) BV48/BZ48 封装外形 — 51-85150



## 缩略语

缩略语	说明
BHE	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
$\overline{\text{CE}}$	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TSOP	薄小型封装
VFBGA	间距非常小的球栅阵列 (BGA)
$\overline{\text{WE}}$	写入使能

## 文档规范

### 测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mm	毫米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: CY62147GN/CY621472GN MoBL <sup>®</sup> , 4 Mb (256K 字 × 16 位) 静态 RAM				
文档编号: 002-10960				
版本	ECN 编号	变更者	提交日期	变更说明
**	5154140	LISZ	02/29/2016	本档版本号为 Rev**, 译自英文版 002-10624 Rev*A。

## 销售、解决方案和法律信息

### 全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问赛普拉斯所在地。

#### 产品

汽车级产品	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
时钟与缓冲区	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
接口	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明与电源控制	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a>
存储器	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
触摸感应产品	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB 控制器	<a href="http://cypress.com/go/USB">cypress.com/go/USB</a>
无线 / 射频	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

#### PSoC® 解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

#### 赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 培训

#### 技术支持

[cypress.com/go/support](http://cypress.com/go/support)

© 赛普拉斯半导体公司，2016。此处所包含的信息可随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对客户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于发生故障（包括运转异常）或失效可能会对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。

# Mouser Electronics

Authorized Distributor

Click to View Pricing, Inventory, Delivery & Lifecycle Information:

[Infineon:](#)

[CY62147GN30-45B2XI](#) [CY621472GN30-45ZSXIT](#) [CY621472GN30-45ZSXI](#) [CY62147GN18-55BVXIT](#)  
[CY62147GN30-45B2XIT](#) [CY62147GN30-45ZSXI](#) [CY62147GN18-55BVXI](#)